



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Takayuki Tani et al.
Serial No. : 10/650,433
Filed : August 28, 2003
Title : SEMICONDUCTOR DEVICE

Art Unit : Unknown
Examiner : Unknown

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

TRANSMITTAL OF PRIORITY DOCUMENT UNDER 35 USC §119

Applicant hereby confirms his claim of priority under 35 USC §119 from the following application(s):

·Japan Application No. 2002-248111 filed August 28, 2002

A certified copy of each application from which priority is claimed is submitted herewith.

Please apply any charges or credits to Deposit Account No. 06-1050.

Respectfully submitted,

Date: September 25, 2003

Chris T. Mizumoto
Reg. No. 42,899

Fish & Richardson P.C.
45 Rockefeller Plaza, Suite 2800
New York, New York 10111
Telephone: (212) 765-5070
Facsimile: (212) 258-2291

30162812.doc

CERTIFICATE OF MAILING BY FIRST CLASS MAIL

I hereby certify under 37 CFR §1.8(a) that this correspondence is being deposited with the United States Postal Service as first class mail with sufficient postage on the date indicated below and is addressed to the Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

September 25, 2003

Date of Deposit

Signature

Rose Papetti

Typed or Printed Name of Person Signing Certificate

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 8 月 2 8 日
Date of Application:

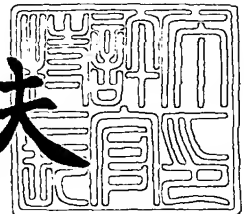
出 願 番 号 特 願 2 0 0 2 - 2 4 8 1 1 1
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 2 4 8 1 1 1]

出 願 人 三 洋 電 機 株 式 会 社
Applicant(s): 関 東 三 洋 セ ミ コ ン ダ ク タ ー ズ 株 式 会 社

2 0 0 3 年 8 月 1 8 日

特 許 庁 長 官
Commissioner,
Japan Patent Office

今 井 康 夫



出 証 番 号 出 証 特 2 0 0 3 - 3 0 6 7 1 9 3

【書類名】 特許願

【整理番号】 KSC1020001

【提出日】 平成14年 8月28日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/40

【発明者】

 【住所又は居所】 群馬県邑楽郡大泉町仙石二丁目 2 4 6 8 番地 1 関東三
 洋セミコンダクターズ株式会社内

 【氏名】 谷 孝行

【発明者】

 【住所又は居所】 群馬県邑楽郡大泉町仙石二丁目 2 4 6 8 番地 1 関東三
 洋セミコンダクターズ株式会社内

 【氏名】 渋谷 隆生

【特許出願人】

 【識別番号】 000001889

 【氏名又は名称】 三洋電機株式会社

 【代表者】 桑野 幸徳

【特許出願人】

 【識別番号】 301079420

 【氏名又は名称】 関東三洋セミコンダクターズ株式会社

 【代表者】 玉木 隆明

【代理人】

 【識別番号】 100091605

 【弁理士】

 【氏名又は名称】 岡田 敬

 【連絡先】 0 2 7 6 - 4 0 - 1 1 9 2

【選任した代理人】**【識別番号】** 100107906**【弁理士】****【氏名又は名称】** 須藤 克彦**【手数料の表示】****【予納台帳番号】** 093080**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 0001614**【包括委任状番号】** 0210358**【プルーフの要否】** 要

【書類名】 明細書
【発明の名称】 半導体装置
【特許請求の範囲】

【請求項 1】 少なくとも 1 つのスルーホールを有し、且つ絶縁材料より成る第 1 の基板と、

前記第 1 の基板の一主表面に形成された導電パターンの所望の位置に固着された半導体素子と、

前記半導体素子の電極パッドと所望の前記導電パターンとを電氣的に接続する金属細線と、

前記第 1 の基板の一主表面の反対面に位置する前記第 1 の基板の他の主表面に前記スルーホールを介して所望の前記導電パターンと電氣的に接続された複数の外部接続電極と、

少なくとも前記第 1 の基板の主表面を覆うように形成された樹脂封止体とを有し、

前記第 1 の基板の他の主表面には、少なくとも前記外部接続電極を露出するように前記第 1 の基板とその線膨張係数をほぼ同一とする絶縁材料から成る第 2 の基板が貼り合わせて有ることを特徴とする半導体装置。

【請求項 2】 少なくとも前記第 1 の基板の他の主表面の外周側辺と近傍に位置する前記外部接続電極の側面が前記外周側辺側から露出するように、前記第 2 の基板は前記第 1 の基板に貼り合わせて有ることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記第 2 の基板は、前記第 1 の基板の他の主表面において前記外部接続電極を個々領域に独立して存在するように区分することを特徴とする請求項 1 または請求項 2 記載の半導体装置。

【請求項 4】 前記第 2 の基板は前記外部接続電極よりも厚いことを特徴とする請求項 2 または請求項 3 記載の半導体装置。

【請求項 5】 前記外部接続電極には金メッキが施されていることを特徴とする請求項 2 または請求項 3 記載の半導体装置。

【請求項 6】 前記第 1 および第 2 の基板はセラミック基板であることを特

徴とする請求項 2 または請求項 3 の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、特に、実装構造において、実装基板と半導体装置の外部接続電極とを接続する半田の実装状況の外観検査を可能とするチップサイズパッケージ（CSP）型の半導体装置に関する。

【0002】

【従来の技術】

従来の半導体装置の組立工程においては、ウエハからダイシングして分離した半導体素子をリードフレームに固着した後、金型と樹脂注入によるトランスファーマールドによって半導体素子を封止する。そして、リードフレームを切断して個々の半導体装置毎に分離する、という工程が行われている。例えば、この工程による半導体装置は、図 6 に示す如く、半導体素子 1 の周囲を樹脂層 2 で被覆し、該樹脂層 2 の側部から外部接続用のリード端子 3 を導出した構造となる。この構造は、例えば、特開平 05-129473 号公報に開示されている。

【0003】

そして、この構造は、樹脂層 2 の外側にリード端子 3 が突出し、リードフレームの加工精度の問題や金型との位置あわせ精度の問題により、外形寸法とその実装面積の縮小化には限界があった。

【0004】

近年、外形寸法を半導体チップサイズと同等あるいは近似した寸法にまで縮小する事が可能な、ウエハスケール CSP が注目されている。これは、先ず、図 7（A）に示す如く、半導体ウエハ 11 に各種拡散などの前処理を施して多数の半導体素子 12 を形成する。次に、図 7（B）に示す如く、半導体ウエハ 11 の上部を樹脂層 13 で被覆し、樹脂層 13 表面に外部接続用の電極 14 を導出する。その後、半導体ウエハ 11 のダイシングライン 15 に沿って半導体素子 12 を分割して、図 7（C）に示す如く、完成品としたものである。樹脂層 13 は半導体素子 12 の表面（裏面を被覆する場合もある）を被覆するだけであり、半導体素

子 1 2 の側壁にはシリコン半導体基板が露出する。電極 1 4 は樹脂層 1 3 下部に形成された集積回路網と電氣的に接続している。そして、実装基板上に形成した導電パターンに対して電極 1 4 を対向接着することによりこの半導体装置の実装が実現する。

【 0 0 0 5 】

斯かる半導体装置は、装置のパッケージサイズが半導体素子のチップサイズと同等であり、実装基板に対しても対向接着で済むので、実装占有面積を大幅に減らすことが出来る利点を有する。また、後工程に拘わるコストを大幅に減じることが出来る利点を有するものである。この構造は、例えば、特開平 9 - 6 4 0 4 9 号公報に開示されている。

【 0 0 0 6 】

【発明が解決しようとする課題】

上述したように、従来における半導体装置では、図 6 に示す半導体装置はリード端子 3 を介して、例えば、実装基板上の導電パターンと接続し、図 7 に示す半導体装置は電極 1 4 を介して、例えば、実装基板上の導電パターンと接続する。つまり、それぞれリード端子 3 または電極 1 4 が、例えば、半田を介して実装基板上の導電パターンと固着する。このとき、図 6 のように、リード端子 3 が樹脂層 2 の外部に導出した構造では、半導体装置を実装基板上の導電パターンに固着した後、実装後の半田の外観検査は容易に行うことができる。一方、図 7 のように、C S P 型の半導体装置では、半導体装置表面に電極 1 4 が位置する。そのため、半導体装置を実装基板上の導電パターンに固着した後、実装後の半田は微細な半導体装置の裏面に位置し、半田の実装状況の外観検査を行うことが困難であるという問題があった。

【 0 0 0 7 】

そして、上述したように、図 6 に示す半導体装置は、樹脂層 2 の外側にリード端子 3 が突出するため、特に、その実装面積の縮小化には限界があるという問題がある。そのため、今日の半導体市場では、C S P 型の半導体装置であり、且つ実装後の半田の実装状況の外観検査を容易に行うことができる半導体装置が求められているという問題があった。

【0008】**【課題を解決するための手段】**

本発明は上述した従来の課題に鑑みてなされたもので、本発明である半導体装置では、少なくとも1つのスルーホールを有し、且つ絶縁材料より成る第1の基板と、前記第1の基板の一主表面に形成された導電パターンの所望の位置に固着された半導体素子と、前記半導体素子の電極パッドと所望の前記導電パターンとを電氣的に接続する金属細線と、前記第1の基板の一主表面の反対面に位置する前記第1の基板の他の主表面に前記スルーホールを介して所望の前記導電パターンと電氣的に接続された複数の外部接続電極と、少なくとも前記第1の基板の主表面を覆うように形成された樹脂封止体とを有し、前記第1の基板の他の主表面には、少なくとも前記外部接続電極を露出するように前記第1の基板とその線膨張係数をほぼ同一とする絶縁材料から成る第2の基板が貼り合わせて有ることを特徴とする。

【0009】

本発明の半導体装置は、好適には、少なくとも前記第1の基板の他の主表面の外周側辺と近傍に位置する前記外部接続電極の側面が前記外周側辺側から露出するように、前記第2の基板は前記第1の基板に貼り合わせて有ることを特徴とする。

【0010】

更に、本発明の半導体装置は、好適には、前記第2の基板は、前記第1の基板の他の主表面において前記外部接続電極を個々領域に独立して存在するように区分することを特徴とする

【0011】**【発明の実施の形態】**

以下に、本発明の半導体装置について、図1～図5を参照にして詳細に説明する。

【0012】

図1（A）及び（B）は本発明の半導体装置の構造を示す斜視図である。図1（A）では半導体装置を表面側から見た図であり樹脂封止体部分を点線で表示し

、半導体装置の内部構造を表し、図 1 (B) は半導体装置の裏面側からの構造を表している。また、図 2 (A) は本発明の半導体装置の断面図であり、図 2 (B) は本発明の半導体装置の裏面側からの平面図である。

【0 0 1 3】

図 1 (A) に示す如く、大判基板 5 9 (図 4 参照) から分離された個々の絶縁基板 4 1 は、セラミックやガラスエポキシ等の絶縁材料からなり 0. 1 ~ 0. 2 mm 程度の板厚を有している。また、図 2 (B) に示す如く、長辺×短辺が 1. 0 mm×0. 8 mm 程度の矩形形状を有している。そして、基板 4 1 は、更に、表面側に第 1 主面 4 1 1 を、裏面側に第 2 主面 4 1 2 を各々具備し、それらの表面 4 1 1、4 1 2 は互いに平行に延在する。

【0 0 1 4】

そして、基板 4 1 の第 1 主面 4 1 1 は平坦に形成されており、その表面にはタングステン等の金属ペーストが印刷されてアイランド部 4 2 と電極部 4 3、4 4 が形成されている。尚、アイランド部 4 2 と電極部 4 3、4 4 には電解メッキ法により金メッキが施されている。そして、基板 4 1 のアイランド部 4 2 には例えばショットキーバリアダイオードや MOS FET 素子等の半導体チップ 4 5 がダイボンドされている。半導体チップ 4 5 の表面に形成した電極パッド 4 6 と電極部 4 3、4 4 とが金属細線 4 7 で電氣的に接続されている。

【0 0 1 5】

ここで、図 4 (A) に示す如く、本実施の形態では、大判基板 5 9 上には点線で囲んだ各搭載部 6 0 が、互いに 0. 0 2 ~ 0. 0 5 mm の間隔を隔てて縦横に配置されている。そして、アイランド部 4 2 からは第 1 の連結部 6 1 が連続したパターンで延長される。これらの線幅はアイランド部 4 2 よりも狭い線幅で、例えば 0. 1 mm の線幅で延在する。第 1 の連結部 6 1 はダイシングライン 6 4 を超えて隣の搭載部 6 0 の電極部 4 3、4 4 に連結する。更に、電極部 4 3、4 4 からは各々第 2 の連結部 6 2 が、第 1 の連結部 6 1 とは直行する方向に延在し、ダイシングライン 6 5 を越えて隣の搭載部 6 0 の電極部 4 3、4 4 に連結する。第 2 の連結部 6 2 は更に、搭載部 6 0 群の周囲を取り囲む共通連結部 (図示せず) に連結する。このように第 1 及び第 2 の連結部 6 1、6 2 が延在することによ

って、各搭載部 60 のアイランド部 42 と電極部 43、44 とを電氣的に共通接続する。これは金メッキ等の電解メッキを行う際に、共通電極とするためである。

【0016】

この構造により、基板 41 と樹脂封止体 49 との間からは第 1 及び第 2 の連結部 61、62 が微細ながら露出することとなる。尚、アイランド部 42 及び電極部 43、44 は第 1 主面 411 の外周辺より 0.05～0.1mm 程度内側に後退されており基板 41 と樹脂封止体 49 との間から露出することはない。

【0017】

図 1 (B) に示す如く、基板 41 の第 2 主面 412 には、タングステン等の金属ペーストが印刷されて外部接続端子 50、51、52、53 が形成されている。そして、本発明の半導体装置では、外部接続端子 50、51、52、53 間の第 2 主面 412 を覆うように第 2 の絶縁基板 48 が貼り合わせてあることに特徴を有する。第 2 の絶縁基板 48 は第 1 の絶縁基板 41 と同様にセラミックやガラスエポキシ等の絶縁材料から成り、第 1 の基板 41 と同じ厚みを有している。つまり、第 1 の基板 41 と第 2 の基板 48 とを同じ材料とすることで線膨張係数を同じとし、熱による基板のクック等を防止する構造としている。尚、本実施の形態では、第 1 の基板 41 と第 2 の基板 48 との厚みをほぼ同一の厚みとしているが、特に限定するものではない。第 2 の基板 48 の厚みとしては、少なくとも外部接続端子 50、51、52、53 以上の厚みを有し、図 3 に示す如く、実装基板 56 上の導電路 57 に固着される際の半田 58 の厚みよりも薄い範囲内で種々の変更は可能である。

【0018】

図 2 (A) に示す如く、アイランド部 42 及び電極部 43、44 には第 1 の基板 41 の第 1 主面 411 から第 2 主面 412 を貫通するスルーホール 55 が設けられる。スルーホール 55 の内部はタングステン、銀、銅などの導電材料によって埋設されており、アイランド部 42 を外部接続端子 50、51、電極部 43、44 を外部接続端子 52、53 に各々電氣的に接続する。外部接続端子 50、51、52、53 は、その端部が基板 21 の端部から 0.01～0.1mm 程度後

退されている。また、電極部 43、44 のスルーホール 55 上は平坦でないため、金属細線 47 は、各々電極部 43、44 のスルーホール 55 上を避けて接続されているのが好ましい。尚、上述の如く、スルーホール 55 は完全に第 1 の基板 41 内に形成されている。そして、第 1 の基板 41 の第 1 主面 411 及び第 2 主面 412 では、スルーホール 55 はそれぞれアイランド部 42、電極部 43、44、外部接続端子 50、51、52、53 により覆われている。そのため、スルーホール 55 及びその内部の導電材料は半導体装置外部からは観ることは出来ない構造となっている。

【0019】

図 2 (B) に示す如く、例えば、半導体素子 45 としては、バイポーラトランジスタ、パワー MOSFET 等の 3 端子の能動素子を形成している。バイポーラ素子を搭載した場合は、アイランド部 42 裏面に形成された外部接続端子 50、51 がコレクタ端子であり、電極部 43、44 裏面に各々形成された外部接続端子 52、53 がベースまたはエミッタ端子となる。但し、本発明に用いられる半導体素子 45 としては、上記の素子に限定されるものではなく、使用用途により種々の変更が可能である。

【0020】

そして、本発明では、外部接続端子 50、51、52、53 は第 2 主面 412 の外周辺より 0.05～0.1mm 程度内側に後退し形成されていることに特徴がある。図 4 (B) に示すように、本実施の形態では、先ず、外部接続端子 50、51、52、53 を形成する前に大判基板 59 に第 2 の絶縁基板 48 を貼り合わせる。このとき、第 2 の絶縁基板 48 は、第 1 の絶縁基板 41 と同様に大判基板 63 から成り、各搭載部 60 の外部接続端子 50、51、52、53 形成領域に開口部が設けられた 1 枚の大判基板 63 が第 1 の絶縁基板 41 用の大判基板 59 に貼り合わせられている。

【0021】

その後、外部接続端子 50、51、52、53 に電解メッキ法により金メッキを施すが、図示の如く、各々の外部接続端子 50、51、52、53 が独立したパターンで形成されている。しかし、上述したように、第 1 の基板 41 の第 1 主

面 4 1 1 では搭載部 6 0 群の周囲を取り囲む共通連結部（図示せず）により各搭載部 6 0 のアイランド部 4 2 と電極部 4 3、4 4 とを電氣的に共通接続している。そして、各々の外部接続端子 5 0、5 1、5 2、5 3 は各スルーホール 5 5 を介してアイランド部 4 2、電極部 4 3、4 4 に電氣的に接続している。そのことで、各々の外部接続端子 5 0、5 1、5 2、5 3 は第 2 主面 4 1 2 では独立して形成されているが、第 1 主面 4 1 1 の共通接続を介して電解メッキ法で全ての外部接続端子 5 0、5 1、5 2、5 3 を一度に金メッキし形成することができる。

【0022】

本発明では、第 1 の絶縁基板 4 1 の第 1 主面 4 1 1 と樹脂封止体 4 9 との境界面から微細な線幅の第 1 及び第 2 の連結部 6 1、6 2 が外部に露出するのみである。言い換えると、本発明では、外部接続端子 5 0、5 1、5 2、5 3 を基板 4 1 の第 2 主面 4 1 2 の外周側辺よりも 0.05～0.1mm 程度内側に後退し形成する。つまり、本発明では、ダイシングライン 6 4、6 5 を横断するのは線幅が狭い第 1 及び第 2 の連結部 6 1、6 2 だけである。そのことで、大判基板 5 9、6 3 をダイシングし個々の半導体装置に分割する際、外部接続端子 5 0、5 1、5 2、5 3 にバリを発生することなくダイシングを行うことができる。その結果、図 3 に示す如く、半導体装置を実装基板 5 6 上の導電路 5 7 に実装する際、外部接続端子のバリにより実装不良を起こすことはない。また、上述したように、本発明の半導体装置は微細であり、微細なパターン上に半田を介して実装するが、その微細なパターン上で外部接続端子のバリによりショートを起こすこともない。

【0023】

図 3 に示す如く、大判基板 5 9 上に多数形成された搭載部 6 0 を個々の半導体装置に分割し、図 1 に示す如く、本発明の半導体装置が完成する。その後、この半導体装置は実装基板 5 6 上に形成された導電路 5 7 に、例えば、半田 5 8 を介して実装される。このとき、本発明の半導体装置のように、裏面に外部接続端子を有する CSP 型の半導体装置では実装面積が小さく、携帯電話、カメラ等の超小型、超軽量パッケージとして今日の半導体市場では需要が多い。しかしながら、上述したように本発明の半導体装置のように、そのデバイスサイズが、例えば

、 $L \times W \times T = 1.0 \text{ mm} \times 0.8 \text{ mm} \times 0.6 \text{ mm}$ と微細な半導体装置では、特に、実装基板 56 へ実装後の外観検査の際、半田の実装状況を観測するのが困難であるという問題がある。つまり、外観検査は非破壊検査であり目視で行うことが多いが、パターンが微細になると裸眼による検査は困難となる。そして、裸眼による検査が困難な場合には、拡大鏡の使用、外観検査機（A O I : A u t o m a t i c O p t i c a l I n s p e c t i o n）を用いることで外観検査を行う。しかしながら、実際には、拡大鏡の使用、外観検査機等を用いた場合でも、半導体装置自体が微細化が進むにつれて外観検査は困難である。

【0024】

そこで、本発明の半導体装置では、図 1（B）及び図 2（B）に示す如く、外部接続端子 50、51、52、53 が、それぞれ半導体装置の内側では第 2 の絶縁基板 48 に囲まれるように形成されている。つまり、第 1 の基板 41 の第 2 主面 412 では、外部接続端子 50、51、52、53 が個々の形成領域を有するように第 2 の基板 48 により区分されている。そして、上述の如く、第 2 の絶縁基板 48 の厚みは、半導体装置を実装基板 56 に実装した際の半田 58 の厚みより薄くなるように設定されている。そのことで、本発明の半導体装置は、実装基板 56 に実装後に第 2 の絶縁基板 48 分の厚みが余分に加わることはない。そして、第 2 の絶縁基板 48 を上述した位置に配置することで、外観検査機で半田の奥行きを観測することができる。これは、通常、外観検査機を用いた外観検査では、半導体装置に対して斜め上方から画像検査を行うが、この際、半田 58 の奥に位置する第 2 の絶縁基板 48 がバック鏡の役割を果たすこととなる。そのことで、検査時の光が第 2 の絶縁基板 48 で反射し確実に半田 58 奥行きを観測することができる。その結果、半導体装置裏面の半田の実装状況が確認することができ、半田の実装不良を外観検査により確実に見つけることができ、市場不良の低減、歩留まりの向上を実現することができる。

【0025】

また、本発明の半導体装置では、各外部接続端子 50、51、52、53 間が 0.3 mm 程度の間隔で形成されているが、その各外部接続端子間に絶縁基板を位置させることで、半田 58 による各外部接続端子間のショートをより防止する

ことができる。そして、実装基板への実装に用いられる半田は、半導体装置の裏面の内側には第 2 の基板 4 8 が位置することで内側が塞がれ、より外側へと存在し易くなる。つまり、本発明の半導体装置はその側面から半田フィレットが露出し易い構造となり、実装後、目視によっても半田の実装状況が観測し易い構造となる。

【 0 0 2 6 】

尚、本実施の形態では、半導体装置の裏面に 4 つの外部接続端子が露出する形態について説明したが、特に限定する必要はない。例えば、図 5 に示す如く、6 つの外部接続端子が露出する形態でも第 2 の絶縁基板 4 8 の形状を変更することで同様な効果を得ることができる。その他、本発明の要旨を逸脱しない範囲で、種々の変更が可能である。

【 0 0 2 7 】

【発明の効果】

上述したように、第 1 に、本発明の半導体装置は、外部接続端子が露出する第 1 の絶縁基板の第 2 主面に内側から外部接続端子を囲むように第 2 の絶縁基板を貼り合わせていることに特徴を有する。そのことで、本発明では、半導体装置を実装基板に実装した後に半田の実装状況を外観検査するが、第 2 の絶縁基板をバック鏡として用いることができる。その結果、半導体装置の裏面に位置し、外観検査のしづらい奥行きまで実装状況を確認することができ、市場不良の低減、歩留まりの向上を実現することができる。

【 0 0 2 8 】

第 2 に、本発明の半導体装置は、外部接続端子を第 1 の絶縁基板の第 2 主面の外周辺から内側に位置するように形成していることに特徴を有する。そのことで、本発明では、大判基板上に多数の搭載部を有し、樹脂封止後にダイシングすることで個々の半導体装置に分割するが、この際、外部接続端子にバリが発生することを抑制することができる。その結果、特に、本発明の半導体装置のように、微細の半導体装置では、微細のパターン上に実装するが、この時、外部接続端子のバリによるショートを確実に防ぐことができる。

【 0 0 2 9 】

第3に、本発明の半導体装置は、第1の絶縁基板及び第2の絶縁基板を共にセラミック基板とすることに特徴がある。そのことで、第1及び第2の絶縁基板の線膨張係数を同一とすることができ、基板自体のクラック防止等製品品質を向上させることができる。

【図面の簡単な説明】

【図1】

本発明の半導体装置を説明するための（A）表面側からの斜視図（B）裏面側からの斜視図である。

【図2】

本発明の半導体装置を説明するための（A）断面図（B）裏面側からの平面図である。

【図3】

本発明の半導体装置を説明するための断面図である。

【図4】

本発明の半導体装置を説明するための（A）平面図（B）平面図である。

【図5】

本発明の半導体装置における第2の実施の形態の裏面側を示す斜視図である。

【図6】

従来の半導体装置を説明するための断面図である。

【図7】

従来の半導体装置の製造方法を説明するための（A）平面図（B）断面図（C）斜視図である。

【符号の説明】

41	第1の絶縁基板
42	アイランド部
43、44	電極部
45	半導体チップ
49	樹脂封止体

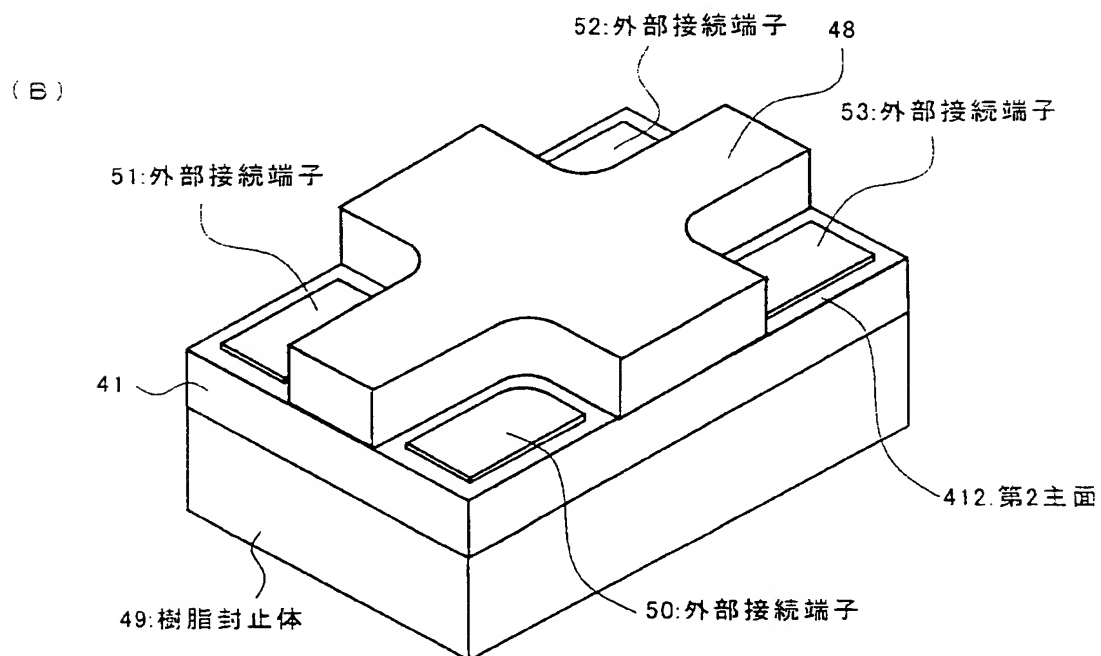
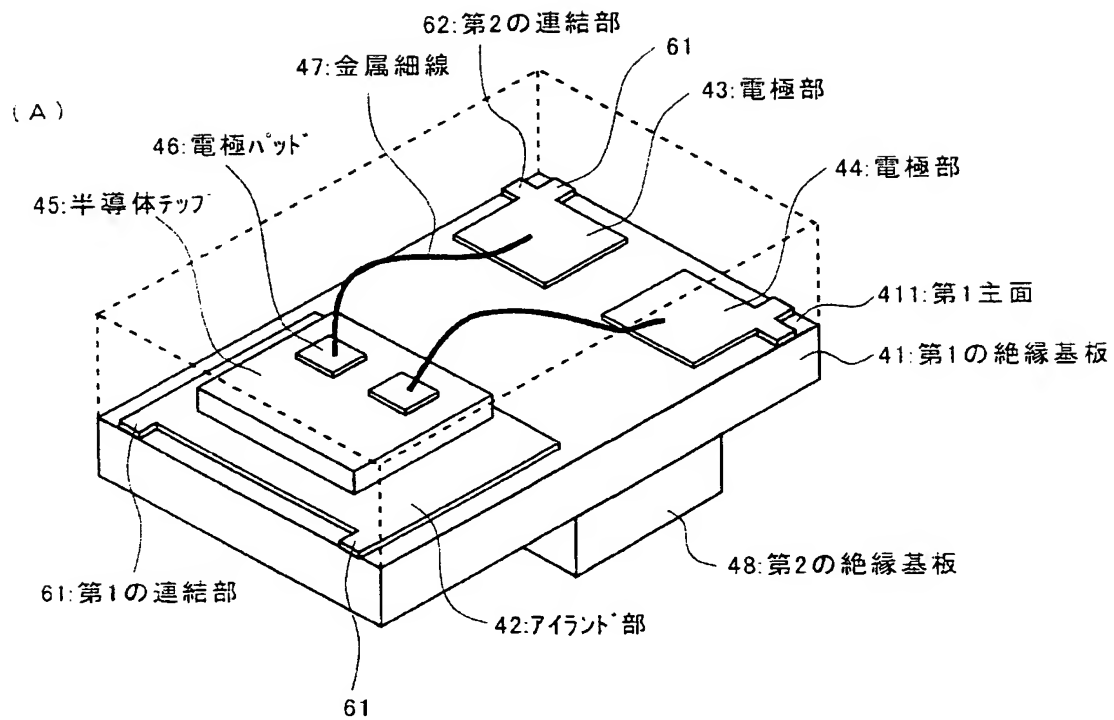
4 8 第 2 の絶縁基板

5 5 スルーホール

5 0、5 1、5 2、5 3 外部接続端子

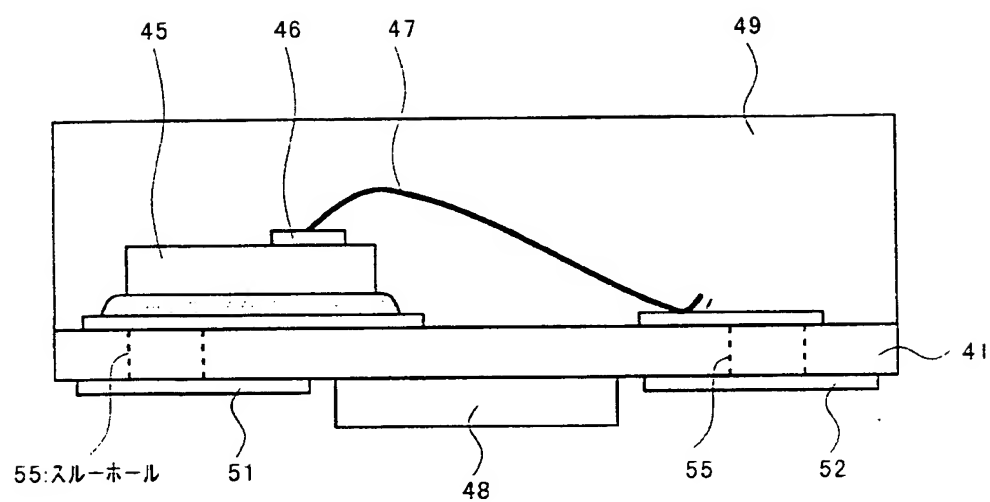
【書類名】 図面

【図 1】

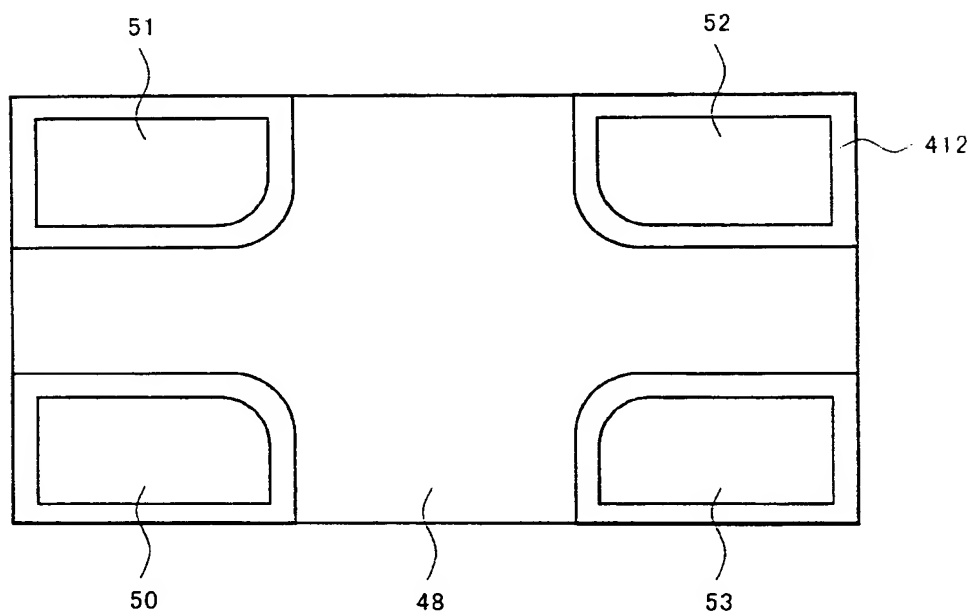


【図 2】

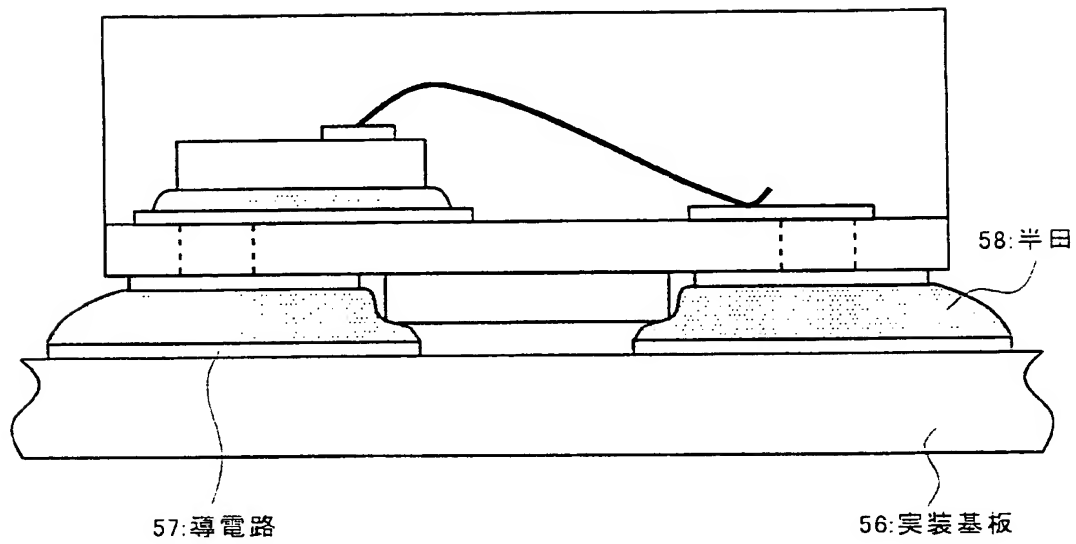
(A)



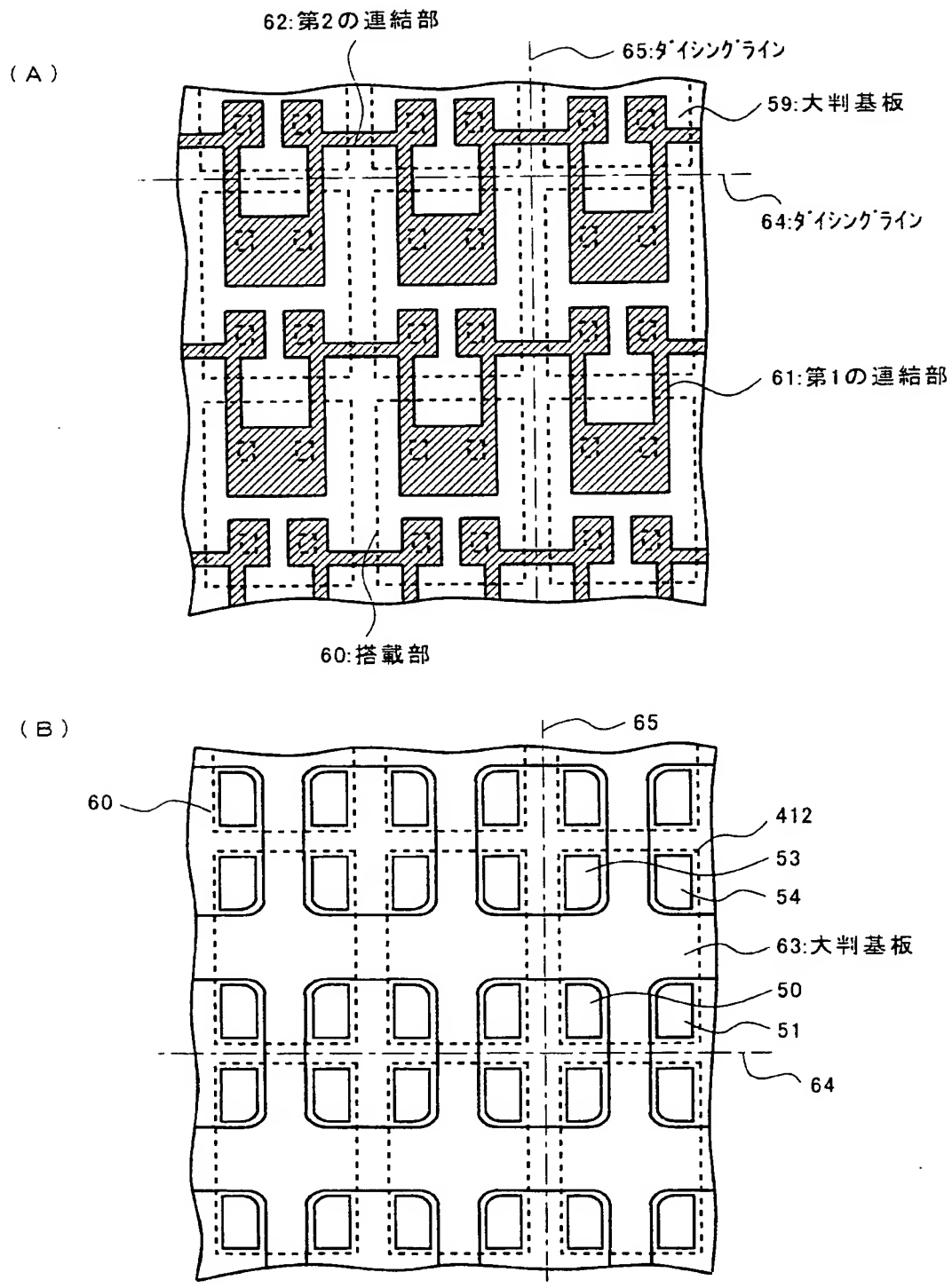
(B)



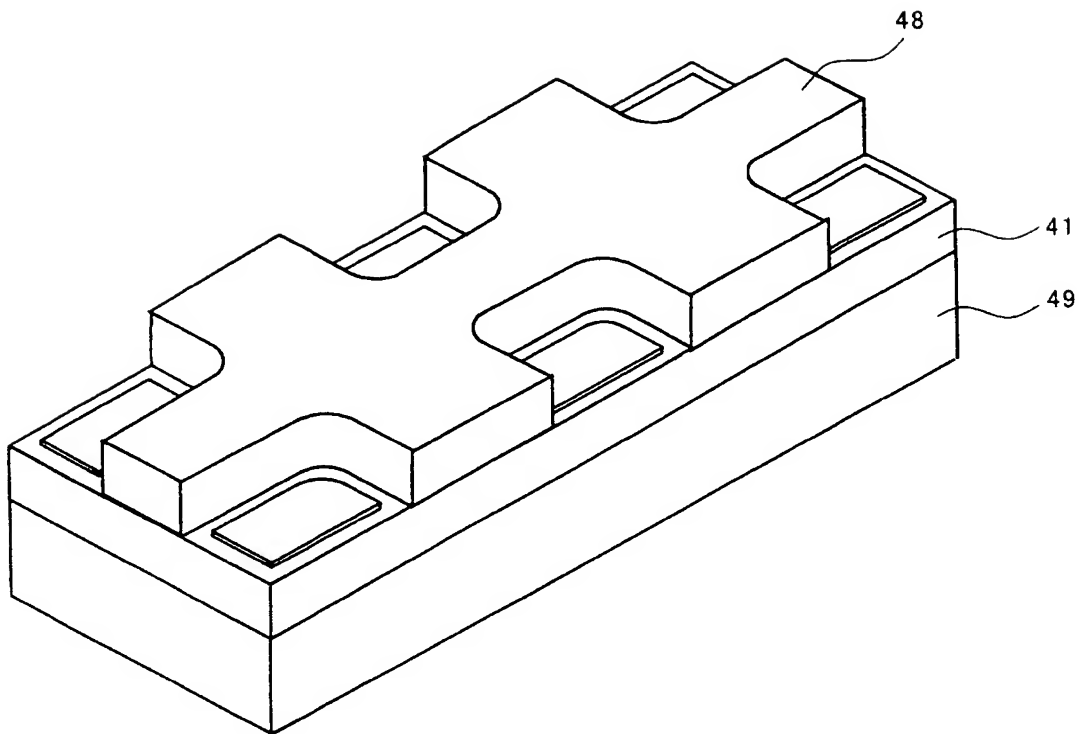
【図 3】



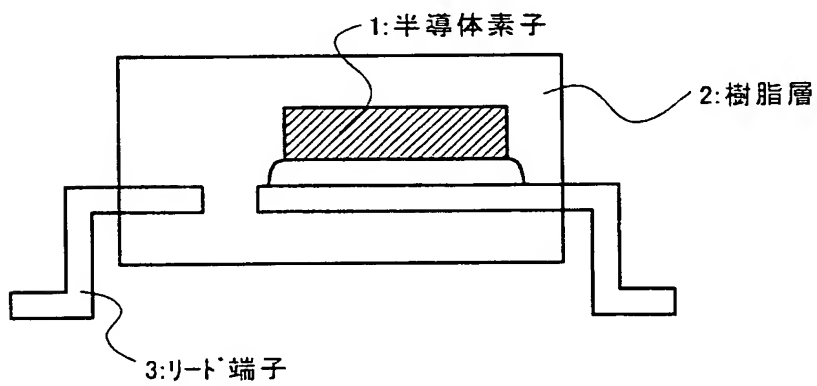
【図 4】



【図 5】

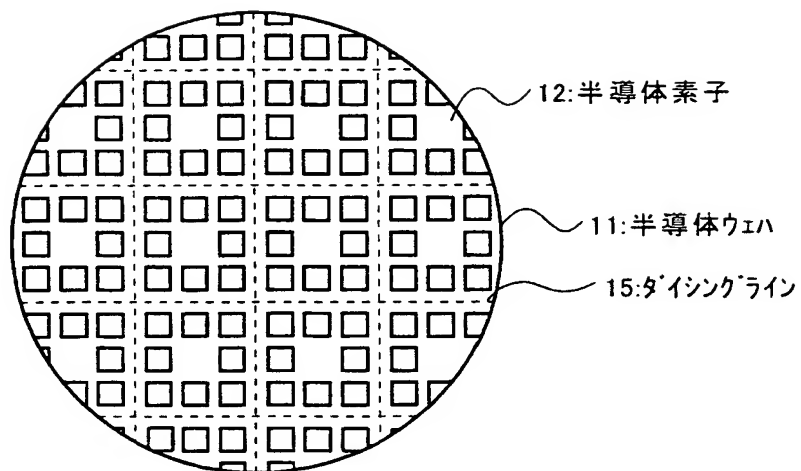


【図 6】

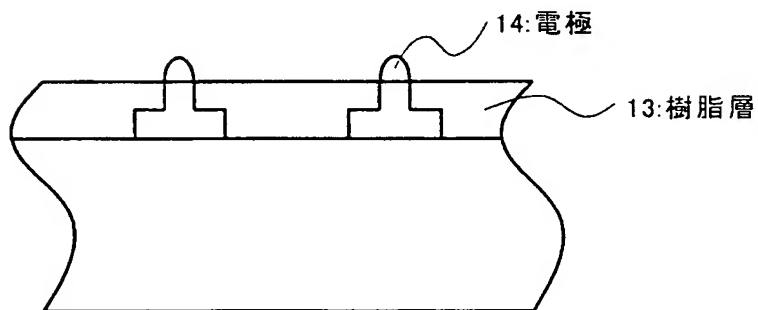


【図 7】

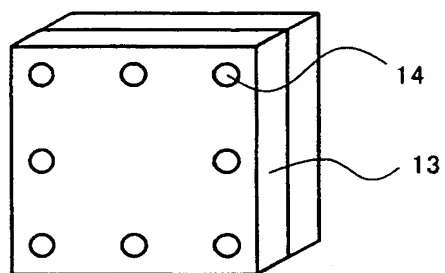
(A)



(B)



(C)



【書類名】 要約書

【要約】

【課題】 従来における半導体装置では、特に、CSP型の半導体装置では、実装基板に実装後、半田の実装状況を外観検査により調べるのが困難であり、市場不良、歩留まりの低減等の問題があった。

【解決手段】 本発明における半導体装置は、第1の絶縁基板41の第2の主面412には外部接続端子50、51、52、53が露出している。そして、第2の主面412には、その外部接続端子を内側から囲むように第2の絶縁基板48が貼り合わせられている。そのことで、半導体装置を実装基板に実装後、半田の実装状況を外観検査するが、この時、第2の絶縁基板48はバック鏡としての役割を果たし、半田の奥行き実装状況を把握することができる。その結果、半田実装状況を確実に検査でき市場不良の低減、歩留まりの向上を実現できる。

【選択図】 図1

特願 2 0 0 2 - 2 4 8 1 1 1

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 1 8 8 9]

1 . 変更年月日

1 9 9 0 年 8 月 2 4 日

[変更理由]

新規登録

住 所

大阪府守口市京阪本通 2 丁目 1 8 番地

氏 名

三洋電機株式会社

2 . 変更年月日

1 9 9 3 年 1 0 月 2 0 日

[変更理由]

住所変更

住 所

大阪府守口市京阪本通 2 丁目 5 番 5 号

氏 名

三洋電機株式会社

特願 2002-248111

出願人履歴情報

識別番号

[301079420]

1. 変更年月日

2001年12月10日

[変更理由]

新規登録

住 所

群馬県伊勢崎市喜多町29番地

氏 名

関東三洋電子株式会社

2. 変更年月日

2002年 6月24日

[変更理由]

名称変更

住所変更

住 所

群馬県邑楽郡大泉町仙石二丁目2468番地1

氏 名

関東三洋セミコンダクターズ株式会社